

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-054140  
 (43)Date of publication of application : 25.02.1997

(51)Int.Cl. G01R 31/28  
 G01R 31/26  
 G01R 31/3183  
 H01L 21/66

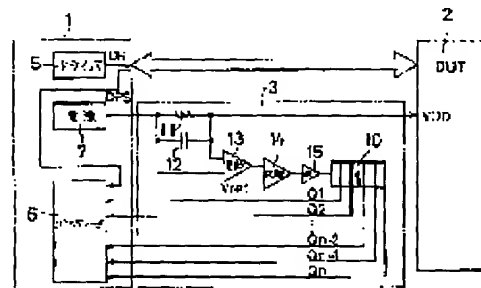
(21)Application number : 07-207101 (71)Applicant : SHARP CORP  
 (22)Date of filing : 14.08.1995 (72)Inventor : NAGAIRO MASAYUKI

## (54) METHOD AND APPARATUS FOR TESTING OF SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To judge the quality of a semiconductor integrated circuit containing a CMOS circuit in a short time and with a simple configuration.

SOLUTION: A resistance 11 for detection of a current is inserted in the halfway part of a route in which a power-supply current is applied to the power-supply voltage terminal VDD of a DUT 2 from the power supply 7 of a testing apparatus 1, and a pulse-shaped change due to the state transition of a CMOS circuit inside the DUT 2 contained in the power-supply current is detected on the basis of the difference in a potential between both ends of the resistance. The number of the pulse-shaped change is counted by a counter 10. A test pattern is applied to the DUT 2 from a driver 5, an expected value which is set in advance so as to correspond to the test pattern is compared with the counted value of the counter 10, and whether the DUT 2 is a good product or not is judged. A current due to a pulse-shaped transition to be detected by the resistance 11 for detection of the current is large as compared with a current which flows in a stationary state. As a result, the resistance value of the resistance 11 for detection of the current can be reduced, and the time required for a test can be shortened.



## LEGAL STATUS

[Date of request for examination] 16.07.1999  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-54140

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	D
31/26			31/26	B
				G
31/3183			H 0 1 L 21/66	V
H 0 1 L 21/66			G 0 1 R 31/28	Q
審査請求 未請求 請求項の数5 O L (全 9 頁)				

(21) 出願番号 特願平7-207101

(22) 出願日 平成7年(1995)8月14日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 永廣 雅之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

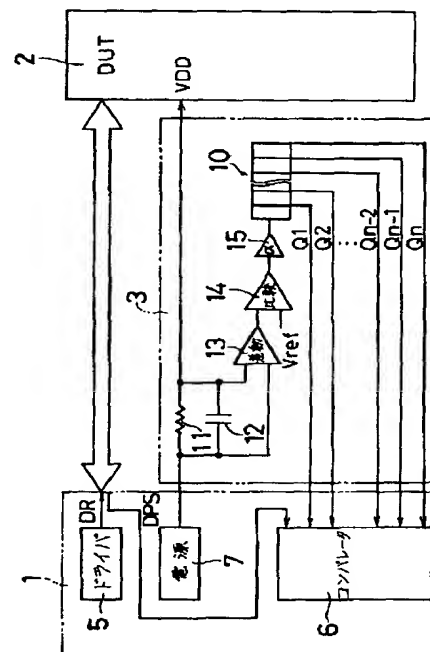
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 半導体集積回路のテスト方法および装置

(57) 【要約】

【課題】 CMOSを含む半導体集積回路の良否判定を短時間でかつ簡単な構成で行う。

【解決手段】 テスト装置1の電源7からDUT2の電源電圧端子VDDに電源電流を供給する経路の途中に電流検出用抵抗11を挿入し、その両端の電位差から電源電流に含まれるDUT2内のCMOS回路の状態遷移に伴うパルス状の変化を検出する。パルス状の変化の数は、カウンタ10によって計数される。DUT2には、ドライバ5からテストパターンが印加され、テストパターンに対応して予め設定される期待値とカウンタ10の計数値とが比較され、DUT2が良品であるか否かが判定される。電流検出用抵抗11が検出すべきパルス状の遷移に伴う電流は、DUT2内のCMOS回路が静止状態のときに流れる電流に比較して大きいので、電流検出用抵抗11の抵抗値を小さくすることができ、テストに要する時間を短縮することができる。



## 【特許請求の範囲】

【請求項1】 CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを与えながら、半導体集積回路の電源電流中に含まれる予め定める基準を超えるパルス信号を計数し、各パターン印加後の状態変化毎に、逐次リアルタイムにその計数値を予めテストパターンに対応して算出される期待値と比較することを特徴とする半導体集積回路のテスト方法。

【請求項2】 CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを与えながら、半導体集積回路の電源電流中に含まれる予め定める基準を超えるパルス信号を計数し、テストパターン印加後、その最終計数値を予めテストパターンに対応して算出される期待値と比較することを特徴とする半導体集積回路のテスト方法。

【請求項3】 前記電源電流中のパルス信号の計数は、電源電流供給経路に電源電流検出用抵抗を介在させ、その両端の電位差をレベル変換してカウンタに入力することによって行うことを特徴とする請求項1または2記載の半導体集積回路のテスト方法。

【請求項4】 CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを発生して入力させるパターン発生手段と、前記半導体集積回路の電源電流を検出する検出手段と、検出手段が検出する電源電流の予め定める基準を超えるパルス状の変化を計数する計数手段と、計数手段の計数値を、前記パターン発生手段が発生するテストパターンに対応して予め算出される期待値と比較する比較手段とを含むことを特徴とする半導体集積回路のテスト装置。

【請求項5】 前記検出手段は、電源電流の流れる経路に挿入される検出用抵抗を備え、検出用抵抗の両端の電位差をレベル変換した信号を導出し、前記計数手段は、パターン発生手段からテストパターン中の各パターンが発生される際にリセットされ、検出手段から送出される信号が予め定める基準レベルを超えているときセットされるラッチ回路と、ラッチ回路のリセット状態およびセット状態間の状態遷移の回数を計数するカウンタとを備えることを特徴とする請求項4記載の半導体集積回路のテスト装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CMOS回路を含む半導体集積回路のテスト方法およびテスト装置に関する。

## 【0002】

【従来の技術】CMOSは、PチャネルおよびNチャネルの金属酸化物半導体（略称「MOS」）トランジスタが直列に組合されて構成される。PチャネルおよびNチャネルの相補性のために、定常状態ではリーク電流以外

は流れず、極めて消費電力が小さい。このため半導体集積回路として高密度に集積しても発熱量を小さくすることができ、大規模集積回路に多く使用される。CMOSを含む大規模集積回路であるCMOS LSIの良否を判定する $I_{000}$ テストが行われている。CMOS LSIの電源電流は、CMOSの内部状態が遷移するときのみ電源電流がパルス状に流れ、静止状態になると電源電流がほぼ0になる特徴がある。静止状態の電源電流を $I_{000}$ と呼び、LSI内部に何らかの故障があると大きな $I_{000}$ が流れるので、 $I_{000}$ を測定することによって故障の有無を検出することができる。このような $I_{000}$ テストでは、LSIにテストパターンを与えながら内部の状態を変え、状態が安定してから、すなわち静止状態になってから電源電流を測定する必要がある。

【0003】静止状態の電源電流を測定する先行技術には、たとえば特開平5-273298や特開平6-58981などがある。特開平5-273298の先行技術では、CMOS半導体集積回路の外部に測定回路を構成して、同一半導体基板内に内蔵するようにしているのに対し、特開平6-58981の先行技術は、測定回路もCMOS集積回路自体に内蔵している点が異なる。しかしながら、電源ラインに電流を検出するための抵抗を挿入し、その両端に発生する電位差を測定してコンパレータで逐一リミット値と比較するという測定原理は同一である。

## 【0004】

【発明が解決しようとする課題】CMOS LSIは、通常 $I_{000}$ がほぼ0であるのに対して異常があると0にならないため、 $I_{000}$ を測定することによって不良デバイスを検出することができる。この際の良否判定テストのリミット値は、良品の $I_{000}$ 電流値に依存して決定され、CMOSの状態遷移時の電源電流値には依存しない。したがって、 $I_{000}$ テストの目的に用いられる電源電流検出用抵抗は、良品デバイスの $I_{000}$ 電流値が小さいほど高抵抗が必要となる。電流検出用抵抗が高抵抗であると、電流検出用抵抗の浮遊容量などの積である時定数が大きくなり、状態遷移による電流が静止状態に落ち着くまでの時間も大きくなり、1回につき数十 $\mu$ 秒～数 $\mu$ 秒程度の時間が必要となる。 $I_{000}$ 測定は、CMOS集積回路の内部状態が変化する毎に測定する必要があるため、大規模集積回路であるLSIなどでは数千回～数十万回測定する必要がある。得る。 $I_{000}$ 測定1回の時間が長いと、 $I_{000}$ テスト全体に要する時間が長くなり、高速のテストは困難である。

【0005】また、テストパターンを印加して状態が安定からリアルタイムで良否を判定する必要があるため、集積回路の機能テスト用のテストパターン以外に $I_{000}$ を目的としたテストパターンが必ず必要となる。さらに $I_{000}$ テストの原理上の理由で、特定のタイミングが起因となって発生する誤動作については、電流測定の静止

3

状態では異常が現れないので、LSIとしての動作や機能の不良検出は困難である。

【0006】本発明の目的は、静止状態の微小な電源電流を直接測定する必要はなく、短時間のテストでCMOS回路を含む半導体集積回路の良否を判定することができる半導体集積回路のテスト方法および装置を提供することである。

【0007】

【課題を解決するための手段】本発明は、CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを与えながら、半導体集積回路の電源電流中に含まれる予め定める基準を超えるパルス信号を計数し、各パターン印加後の状態変化毎に、逐次リアルタイムにその計数値を予めテストパターンに対応して算出される期待値と比較することを特徴とする半導体集積回路のテスト方法である。本発明に従えば、CMOSを含む半導体集積回路に予め定める複数のパターンから成るテストパターンを与えると、CMOSの状態が遷移する際に電源電流中にパルス状の遷移電流が流れる。CMOS回路が良品であれば、状態遷移の回数はパターンに対応して予め算出することができ、各パターンの状態変化毎に状態遷移パルスの計数値を期待値と比較することによって、良否判定を行うことができる。CMOSの状態遷移時に発生する電源電流のパルスを検出すればよいので、状態遷移による電流の変化が静止状態の電流に落ち着くまでの時間を待つ必要がなく、高速でテストを行うことができる。

【0008】また本発明は、CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを与えながら、半導体集積回路の電源電流中に含まれる予め定める基準を超えるパルス信号を計数し、テストパターン印加後、その最終計数値を予めテストパターンに対応して算出される期待値と比較することを特徴とする半導体集積回路のテスト方法である。本発明に従えば、CMOSを含む半導体集積回路にテストパターンを与えると、CMOS回路の状態遷移時に電源電流にパルス状の遷移電流が流れる。テストパターンは予め定められているので、良品のCMOS回路に対しては、状態遷移の回数も対応して算出することができ、その期待値と状態遷移パルスの最終的な計数値とを比較することによって、半導体集積回路の良否を判定することができる。テストパターンに対する状態遷移パルスの測定は、遷移状態が安定するまで待つ必要はないので、テスト時間を短縮し高速で良否判定を行うことができる。

【0009】本発明で、前記電源電流中のパルス信号の計数は、電源電流供給経路に電源電流検出用抵抗を介在させ、その両端の電位差をレベル変換してカウンタに入力することによって行うことを特徴とする。本発明に従えば、電源電流中のパルス信号の計数は、電源電流供給経路に電源電流検出用抵抗を介在させて、その両端の電

4

位差をレベル変換して行う。検出対象が、CMOS回路の状態遷移の際のパルス状態の電流であるので、静止状態の微小な電流を検出するI<sub>0</sub>。テストのような微小な電流を検出する必要がなく、電源電流検出用抵抗の抵抗値を小さくして、測定時間やテスト全体に要する時間を大幅に短縮することができる。

【0010】さらに本発明は、CMOSを含む半導体集積回路に予め定められる複数のパターンから成るテストパターンを発生して入力させるパターン発生手段と、前記半導体集積回路の電源電流を検出する検出手段と、検出手段が検出する電源電流の予め定める基準を超えるパルス状の変化を計数する計数手段と、計数手段の計数値を、前記パターン発生手段が発生するテストパターンに対応して予め算出される期待値と比較する比較手段とを含むことを特徴とする半導体集積回路のテスト装置である。本発明に従えば、パターン発生手段が発生してCMOSを含む半導体集積回路に入力させる予め定める複数のパターンから成るテストパターンによって、検出手段はCMOSの状態遷移に伴うパルス状の電流変化を検出する。パルス状の電流変化が予め定める基準を超えると、計数手段によって検出され、パターン発生手段が発生するテストパターンに対応して予め算出される期待値と計数手段の計数値とが比較手段によって比較され、良否判定が可能となる。計数値による比較を行うことができるので、微小な電流値を比較するための高精度のアナログコンパレータや、テストパターンに伴う電源電流の変化を記憶するメモリなどがなくても良否判定の目的を達成することができる。検出手段は、電源電流のパルス状の変化を検出すればよいので、CMOSが遷移状態から静止状態に移行して安定するまで待つ必要はなく、測定時間の短縮を図ることができる。さらに信号の遅延等のタイミングに起因して通常とは異なる状態遷移を示すタイミング故障等の検出も可能である。

【0011】また本発明の前記検出手段は、電源電流の流れる経路に挿入される検出用抵抗を備え、検出用抵抗の両端の電位差をレベル変換した信号を導出し、前記計数手段は、パターン発生手段からテストパターン中の各パターンが発生される際にリセットされ、検出手段から送出される信号が予め定める基準レベルを超えているときセットされるラッチ回路と、ラッチ回路のリセット状態およびセット状態間の状態遷移の回数を計数するカウンタとを備えることを特徴とする。本発明に従えば、パターン発生手段からテストパターン中の各パターンが発生される際にラッチ回路をリセットし、電源電流の流れる経路に挿入される検出用抵抗の両端の電位差をレベル変換した信号によってラッチ回路をセットし、ラッチ回路のリセット状態およびセット状態間の状態遷移の回数をカウンタによって計数するので、CMOSの状態遷移の回数を確実に計数することができる。CMOSは状態遷移時に静止状態よりも大きなパルス状の遷移電流が流

れるので、検出用抵抗の抵抗値を小さくして測定に要する時間を短縮することができる。

【0012】

【発明の実施の形態】図1は、本発明の実施の第1形態の概略的な電気的構成を示す。汎用のテスト装置1は、テスト対象となる半導体集積回路（以下Device Under Testから「DUT」と略称する）にテストパターンを印加する。DUTに供給される電源電流の供給経路の途中には、アダプタ3が挿入される。テスト装置1内には、DUT2にテストパターンを与えドライバ（以下「DR」と略称することもある）5と、通常はDUT2からの信号を受けて論理値に変換するコンパレータ（以下「CMP」と略称することもある）6と、DUTに動作の電源電流を供給するデバイス電源（以下「DPS」と略称することもある）7などが具備されている。アダプタ3は、テスト装置1内に内蔵することもでき、またDUT2内に内蔵することもできる。

【0013】アダプタ3内には、検出した状態遷移に対応する電源電流のバルス状の変化の回数を計数するカウンタ10が含まれる。電源電流の検出は、電源7からDUT2の電源電圧端子（VDD）までを結ぶ電源供給ラインに挿入される電流検出用抵抗11によって行う。電流検出用抵抗11の両端間には、位相補償用コンデンサ12が接続され、両端間の電位差は差動アンプ13によって増幅され、接地（GND）基準で出力される。差動アンプ13の出力は、コンパレータ14によって予め設定される判定レベル $V_{ref}$ と比較される。この比較出力は、アンプ15によって $\alpha$ 倍に増幅されカウンタ10に計数用の信号として入力される。ドライバ5からDUT2に与えるテストパターンを予め設定しておけば、DUT2が良品である場合にDUT2内のCMOS回路部分が状態遷移する回数や遷移タイミングを予め予測することができ、カウンタ10のカウント値もテストパターンに対応して予め算出される期待値と比較することができる。カウンタ10の計数値が期待値と一致していないときには、DUT2内のCMOS回路部分などに不良が発生していると判断することができる。

【0014】図2は、図1の構成の各部の信号波形の例を示す。この場合、各テストステップ毎に状態変化があり、バルス状の電源電流が流れると仮定して説明する。またカウンタ10は、入力されるクロック信号の立下がりエッジで計数を行うものとする。テスト装置1のコンパレータ6はカウンタ10の各段のテスト出力信号 $Q_1 \sim Q_n$ を全てテストの対象としているけれども、図2では説明の便宜上、 $Q_1 \sim Q_3$ のみを示す。図2（1）では、DUT2に与えられる入力信号を示す。図2（2）では、カウンタ10に入力される出力信号を示す。このうちテストステップ2では後述する図9の欠陥がある場合を示し、テストステップ4では後述する図7の欠陥がある場合を示す。図2（3）、（4）および（5）で

は、カウンタ10の出力信号 $Q_1$ 、 $Q_2$ 、 $Q_3$ をそれぞれ示す。図2（6）、（7）、（8）および（9）は、DUT2に欠陥がないときのカウンタ10の入力信号、カウンタ10の出力信号 $Q_1 \sim Q_3$ をそれぞれ示す。図2（10）は各テストステップの後半に行われるコンパレータ6のテストタイミングであるストロークポイントを示す。

【0015】次の表1は、テストステップ6終了後カウンタ10の状態を出力信号 $Q_1 \sim Q_3$ について示す。このように、全テストステップを終了した後、出力信号 $Q_1 \sim Q_n$ の状態を期待値と比較することによって、DUT2の良否を高速動作可能なコンパレータやテストパターンメモリを用いることなく判定することができる。図2の例では、テストステップ6後の状態において出力信号 $Q_1 \sim Q_3$ の状態だけでも欠陥内蔵時と無欠陥時とは差が生じる。したがって各出力状態をDC的にテストすることも可能となる。またテストステップ1の開始に先立って、カウンタ10の各段の出力を0にリセットしておく必要がある。

【0016】

【表1】

テストステップ6後の カウンタ10の状態	欠陥内蔵時	無欠陥時
$Q_1$	1	0
$Q_2$	0	1
$Q_3$	0	1

【0017】図3および図4は、図1のカウンタ10の具体的な構成例を示す。図3は2ビット・カウンタ27を示す。2段のフリップフロップ（以下「F/F」と略称する）28を用いて、4進のバイナリカウンタが構成される。図4では、F/F28を3段に用いて3ビット・カウンタ29が構成され、8進のバイナリカウンタとなる。2ビット・カウンタ27および3ビット・カウンタ29はリセット（Reset）信号にตอบสนองして全出力が一旦0となり、クロック信号（ $\phi$ ）の立上がりエッジに応じてクロックのバルス数をカウントする。F/F28としては、たとえば標準CMOS論理ICのうちの4013および同等品を使用することができる。

【0018】図5は、本発明の実施の第2形態の概略的な電気的構成を示す。本実施の形態では第1形態に対応する部分には同一の参照符を付して説明を省略する。本実施形態のアダプタ30内には、NORゲート31、32によって形成されるラッチ回路が含まれる。NORゲート31、32によるラッチ回路は、DUT2の状態遷移の有無を記憶する。

【0019】図6は、図5の構成の動作を示す。本実施形態では、奇数番目のテストステップ毎に状態変化が生じ、状態遷移に伴う電源電流のバルス状の変化が発生するものとする。図6（1）は、DUT2にドライバ5か

ら与えられる信号を示す。図6(2)では、ラッチ回路のNORゲート32に与えられるリセット入力信号を示す。図6(3)は、NORゲート31に与えられるセット入力信号を示す。図6(4)は、ラッチ回路からの出力信号の無欠陥時の波形を示す。図6(5)は、欠陥内蔵時のラッチ回路のセット入力信号を示す。図6(6)は、欠陥内蔵時のラッチ回路からの出力信号を示す。DUT2が欠陥を内蔵していることによって、ラッチ回路の入力信号は、テストステップ2およびテストステップ3で後述する図9および図7の故障に対応するセット入

力信号が入力されるものとする。図6(4)と図6(6)とを比較すれば、欠陥の内蔵の有無による計数値の違いを識別することができる。図6(4)に示すようなストロブポイントのテストタイミングで、テストステップ毎に1ビットの期待値と逐次比較して電源電流パルスの有無、すなわち状態遷移の有無を確認し、良否判定を行うことができる。ラッチ回路としてNORゲート31、32による構成を用いているけれども、NANDゲートなどを用いても同様にリセット信号およびセット

信号入力端子を有するラッチ回路を実現することができる。【0020】図1および図5の実施形態では、良否判定のためにDUT2の静止状態の微小電源電流値の測定は必要ではなく、電源電流中のパルス状の変化を検出することができればよい。したがって、遷移時の電源電流が静止時電源電流の1000倍であれば、電流検出用抵抗11の抵抗値を $1/1000$ とすることができ、電流検出用抵抗11の抵抗値で定まる時定数で律速される測定に必要な時間は $1/1000$ に低減される。

【0021】図7は、CMOSインバータ40の一例を示す。CMOSインバータ40内には、Pch MOS FET41とNch MOS FET42とが含まれ、入力端子43および出力端子44を有する。入力端子43は、Pch MOS FET41とNch MOS FET42とのゲート電極を共通に接続して外部に導出される入力端子43と、Pch MOS FET41およびNch MOS FET42のドレインを共通接続して外部に導出する出力端子44を有する。本CMOSインバータ40には、本来は不要である高抵抗45が形成され、高抵抗故障が生じている。

【0022】図8は、図7のCMOSインバータ40の動作に対応する電源VDD電流 $I_{DD}$ の変化を示す。図8(1)に示すように入力端子43にパターン信号を入力すると図8(2)に示すような出力端子44からの信号が得られる。時刻T1では、出力端子44の出力状態がハイレベルからローレベルに変化するので、図8(3)に示すように電源電流 $I_{DD}$ が判定レベル $I_{ref}$ を超えるようなパルス状の変化が発生する。これにตอบสนองして図8(4)に示すように、カウンタへの入力波形としての $I_{DD}$ パルスが得られる。時刻T2では、高抵抗45のた

めに、 $I_{DD}$ の変化が小さくなる。そのため $I_{DD} < I_{ref}$ となって、カウンタ入力用の $I_{DD}$ パルスはローレベルのままとなる。図1および図5の実施形態では、 $I_{ref}$ を電圧の判定レベル $V_{ref}$ に変換して、コンパレータ14によって電圧比較を行うようにしているけれども、原理的には図8(3)と同等である。

【0023】本来はT1、T2のタイミングで電源電流 $I_{DD}$ のパルスが発生するけれども、T2のタイミングではPch MOS FET41へのゲート入力信号が高抵抗45によって遅延するので、Nch MOS FET42がオン状態からオフ状態に変化した時点であっても、Pch MOS FET41はオン状態とはならず依然高い抵抗値となっている。Pch MOS FET41は徐々にオン状態となり、最終的に出力端子44のレベルがハイレベルとなって安定するけれども、Pch MOS FET41とNch MOS FET42とは同時にオン状態とはならないので、電源電流にパルス状の遷移電流が流れない。このように1つのタイミングで発生すべき遷移電流パルスが欠落するため、CMOSインバータ40に欠陥があることを検出することができる。従来の $I_{DD}$ テストでは、このようなCMOSインバータ40であっても、静止状態での電源電流はほとんど0となるために故障を検出することができない。

【0024】図9は欠陥を内蔵するCMOSインバータ50の他の例を示す。CMOSインバータ50は、Pch MOS FET51およびNch MOS FET52が直接接続されたインバータの基本的構成を有し、入力端子53には入力信号が与えられ、出力端子54から出力が導出される。Pch MOS FET51と電源VDDとの間に高抵抗55が挿入される故障が発生し、出力端子54には他のロジック回路56が接続される。このような高抵抗55は、製造プロセスの欠陥などによって作り込まれる。

【0025】図10は、図9のCMOSインバータ50のテスト時の動作状態を示す。図10(1)のように入力端子53にテストパターンを与える。タイミングT1でローレベルからハイレベルに変化させ、タイミングT2でハイレベルからローレベルに変化させる。本来ならば、T1およびT2のタイミングで $I_{DD}$ のパルスが発生し、その間には電源電流パルスは発生しない。しかしながら、入力電圧がローレベルとなると、高抵抗45のために出力端子54はフローティング状態となり次段のロジック回路56の入力反転レベル $V_{th}$ の上下のレベルに不規則に変化し、その都度電源電流パルスが発生する。パルスが本来の良品の状態に比べて増加するので、図1のカウンタ10の出力をモニタすることによって、Pch MOS FET51に欠陥があることを検知することができる。従来からの $I_{DD}$ テストでは、出力端子54の不規則な変化の履歴を蓄積する機能がないので、このような故障を検出することは非常に困難であ

る。

【0026】なお、図1および図5に示す電流検出用抵抗11の抵抗値と電源電流パルス判定レベル $I_{ref}$ を $I_{000}$ テスト時と同等とすることによって、従来の $I_{000}$ テストと等価なテストを行うことも可能である。ただしこの場合のテスト時間は、従来の $I_{000}$ テストと同じだけ必要となる。

【0027】図10(2)の後半で示すように、図9の出力端子54がフローティング状態となってレベルが未確定となっても、図9のロジック回路56に図11に示すようなデータラッチ回路が含まれ、出力端子54からの出力がデータラッチ回路へのデータ信号である場合には、高抵抗55が形成される故障があっても正常にデータをラッチする場合がある。単なる機能テストではこのような故障を必ずしも検出することは限らない。ラッチ用F/F60に入力されるクロックのタイミング次第では正常なデータとなり得るからである。すなわち図12(1)に示すように、出力端子54からの出力レベルが入力反転レベル付近で変動するとき、クロックとして与えられるラッチ信号CKのラッチタイミングAでは、出力にローレベルが伝搬されて誤動作となるのに対し、ラッチタイミングBでは、出力にハイレベルが伝搬されて正常動作となり、出力レベルの変化はラッチタイミング次第で制御にも誤動作としても判定される。また図13に示すように、図9のロジック回路56に入力NANDゲート61が含まれ、出力端子54がその入力に接続されている場合には、他の入力端子の入力レベルがローレベルのみであれば、機能テストパターンでは故障信号がNANDゲート61の出力には伝搬されず、故障を検出することができない。したがって $I_{000}$ テストおよび機能テストの両テストを実施しても図9のような故障を見逃してしまう。図1の実施の形態によれば、予め定められた期待値をカウント値と比較するために、図9に示すような故障を同一のテストパターンを使用しても容易に検出することができる。

【0028】図7に示すような高抵抗45が形成される故障は、たとえば半導体集積回路のアルミ配線が非常に細くなってしまう場合に生じ得る。このような場合には、動作上正常であっても、エレクトロマイグレーション現象によって短期間に断線に至る可能性が高く、出荷段階までに検出して不良品として判定し除去する必要がある。従来の機能テストおよび $I_{000}$ テストのいずれにおいても、このような故障を検出することができないけれども、図1または図5の実施形態によれば容易に検出することができる。

【0029】また以上の各実施形態では、DUT2としてCMOS LSIを対象としているけれども、より小規模のCMOS標準ロジック集積回路やゲートアレイあるいはアナログ回路を含むような集積回路であっても同様にテストを行うことができる。さらにバイポーラ回路

を含むいわゆるBiCMOS集積回路であっても、CMOS回路部分の状態遷移に伴う電源電流のパルス状の変化は容易に検出することができるので、同様にCMOS回路部分のテストを行うことができる。

【0030】

【発明の効果】以上のように本発明によれば、テストパターンの各パターン印加した後の状態変化毎に逐次リアルタイムにCMOSの状態遷移の有無を確認して、良否を判定することができる。各パターンに伴う状態遷移を確実に検出すればよいので、遷移状態が落ち着いて静止状態になるまで待つ必要はなく、テスト時間の短縮化を図ることができる。各パターン毎に良否を判定するので、テストパターンの初期のパターンに対応して不良と判定される場合には、そのときのテスト対象の半導体集積回路のテストを打ち切って、テスト時間の短縮を図ることもできる。またパターン毎に良否判定を行うことができるので、不良原因の解析に寄与する資料とすることもできる。

【0031】また本発明によれば、テストパターンの各パターン毎の状態遷移に対応する電源電流のパルスの計数値を積算し、テストパターン全体の印加後に最終的な計数値を予めテストパターンに対応して算出されている期待値と比較して良否判定を行うので、高速かつ簡易に良否判定を行うことができる。

【0032】また本発明によれば、電源電流検出経路に挿入する電源電流検出用抵抗の抵抗値を小さくすることができるので、状態遷移に伴うパルス状の電流変化の測定時間やテスト全体の所要時間を大幅に短縮化することができる。

【0033】さらに本発明によれば、従来のような $I_{000}$ 電流値の良否判定用に高速動作可能なコンパレータや比較用データ収納のためのテストパターンメモリが必ず必要であるけれども、これらを使用しなくても良否判定を行うことができ、テスト装置の価格を低減することができる。さらに、タイミング不良も検出することができテスト時間の短縮も可能である。

【0034】また本発明によれば、従来の $I_{000}$ テストと比較して、電源電流検出用抵抗の抵抗値を小さくすることができ、測定に要する時間を短縮して、テストに要するコストを低減し、テストのスループット向上が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の第1形態の概略的な電氣的構成を示すブロック図である。

【図2】図1の構成の動作を示すタイムチャートである。

【図3】図1の実施形態のカウンタについての具体的構成例を示すブロック図およびタイムチャートである。

【図4】図1の実施形態のカウンタについての具体的構成例を示すブロック図およびタイムチャートである。

11

【図5】本発明の実施の第2形態の概略的な電気的構成を示すブロック図である。

【図6】図5の構成の動作を示すタイムチャートである。

【図7】図1および図5の実施の形態によって検出可能な故障の例を示す簡略化した電気回路図である。

【図8】図7の故障を検出する状態を示すタイムチャートである。

【図9】図1および図5の実施の形態によって検出可能な故障の例を示す簡略化した電気回路図である。

【図10】図7の故障を検出する状態を示すタイムチャートである。

【図11】図9のロジック回路56に含まれるラッチ用F/Fを示す簡略化したブロック図である。

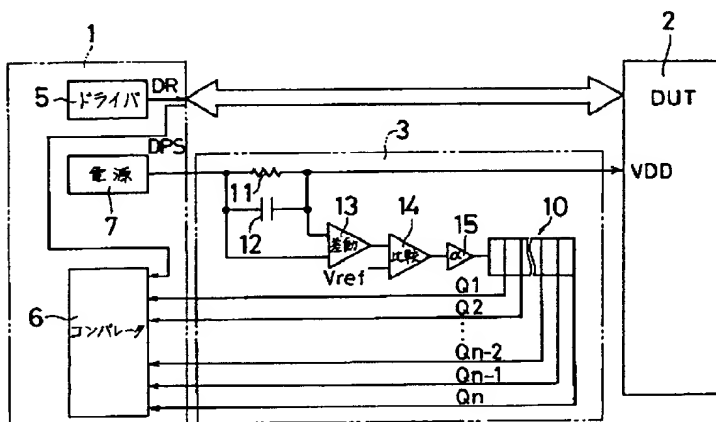
【図12】図11のラッチ用F/Fの動作状態を示すタイムチャートである。

\*【図13】図9のロジック回路56にNANDゲートが含まれる場合の構成を示す簡略化したブロック図である。

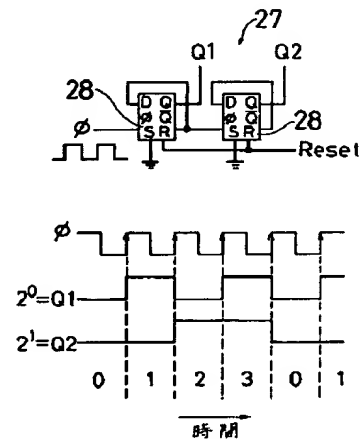
【符号の説明】

- 1 テスト装置
- 2 DUT
- 3, 30 アダプタ
- 5 ドライバ
- 6, 14 コンパレータ
- 7 電源
- 10 カウンタ
- 11 電流検出用抵抗
- 13 差動アンプ
- 31, 32 NORゲート
- 40, 50 CMOSインバータ
- 45, 55 高抵抗

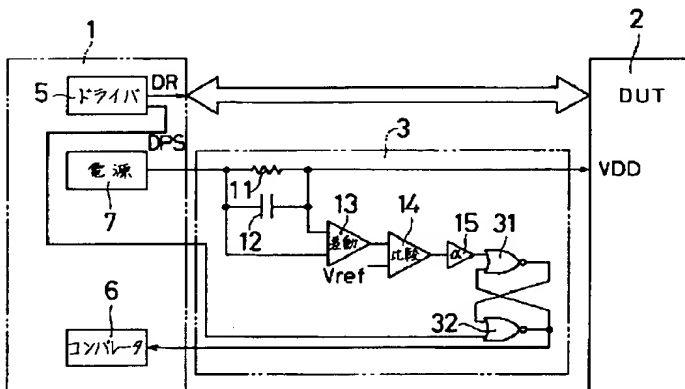
【図1】



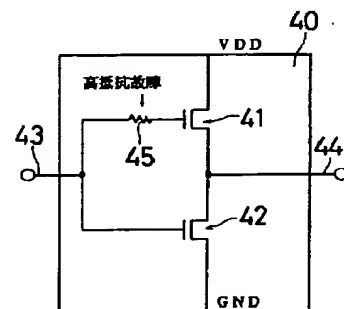
【図3】



【図5】

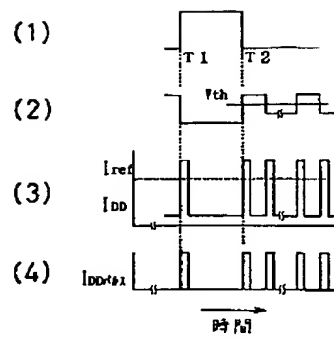


【図7】

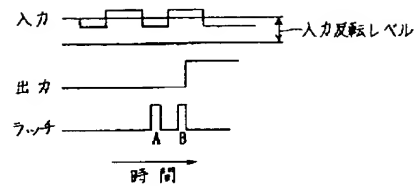




【図10】



【図12】



【図13】

